

基于电容耦合的 TSV 故障非接触测试方法研究

尚玉玲,李伟超,谈 敏

(桂林电子科技大学 电子工程与自动化学院,广西 桂林 541004)

摘 要: 硅通孔(Through Silicon Via, TSV)故障严重降低了集成电路的性能和可靠性,因此对 TSV 的故障检测具有十分重要的意义. 首先讨论了 TSV 的故障模型,并且利用 Elmore 延时模型分析了 TSV 开路故障对信号传输延时的影响,其次提出了一种基于电容耦合的 TSV 非接触测试电路,通过测量信号延时的变化来检测 TSV 开路故障,最后利用时间统计分析来预测故障电阻的大小。

关键词: TSV 故障; 电容耦合; 非接触测试电路; 延时; 时间统计分析

中图分类号: TN407

文献标识码: A

文章编号: 1000-7180(2018)11-0106-05

Research on TSV Fault with Non-contact Testing Method Based on Capacitive Coupling

SHANG Yu-ling, LI Wei-chao, TAN Min

(School of Electronic Engineering and Automation, Guilin University
of Electronic Technology, Guilin 541004, China)

Abstract: Through-silicon vias seriously degrade the performance and reliability of integrated circuits and are therefore of great importance for fault detection of TSVs. Firstly, the fault model of TSV is discussed, and the effect of open fault of TSV on signal transmission delay is analyzed by using Elmore delay model. A non-contact test circuit of TSV based on capacitive coupling is proposed to detect open fault of TSV by measuring the signal delay changes, and finally time statistical analysis framework is used to predict the size of the fault resistance.

Key words: TSV fault; capacitive coupling; non-contact circuit; delay; statistical timing analysis

1 引言

目前对 TSV 测试主要分为接触测试和非接触测试. M. Cho 等^[1]利用读出放大器检测 TSV 短路缺陷,但是这种方法需要对电路进行精确的调整和校正,耗时较多. Jiang J 等^[2]提出了一种绑定前中介层的非接触测试方法,利用与中介层的电容耦合来测试响应. Kim J^[3]等研究了基于电磁耦合的 wafer 层 TSV 连接性测试结构,观察邻近 TSV 间的电容变化来进行 TSV 故障测试. 杜克大学 Krishnendu C 教授的课题组根据缺陷 TSV 中电阻电容参数的变化可以影响信号的传播延时特性,通过环形振荡器来测试传播延时检测开路故障或

泄露故障的存在与否^[4].

本文利用电容耦合理论,设计了一个非接触测试电路,这种方法不用直接接触 TSV,避免了在测试过程中由于接触对 TSV 造成的不必要损害. 其主要是利用反相器处理接收到的信号,根据信号输出延时来检测 TSV 是否有故障存在. 最后利用时间统计分析来预测故障的大小.

2 TSV 开路故障模型和延时分析

2.1 TSV 开路故障等效电路模型

本文主要研究 TSV 的开路故障,TSV 等效电路通常由 RLCG 等集总元件组成,它们都是毫欧级别的,并且严重依赖于 TSV 的物理结构. 在 3 GHz

频率下,电感对 TSV 电气特性的影响不是特别的显著^[5],因此本文中的等效电路是由电容和电阻组成。TSV 开路故障模型是用来表征 TSV 开路缺陷的模型抽象,表现出来的是 TSV 导电性变差。这种故障可以用一个串联电阻来表示,电阻值的大小表示了开路程度,电阻值为 0 时说明没有开路故障,电阻值为 ∞ 时表示完全开路。建立的 TSV 开路故障模型如图 1 所示。TSV 电路模型采用 π 型结构,中间串联的电阻即为开路电阻。

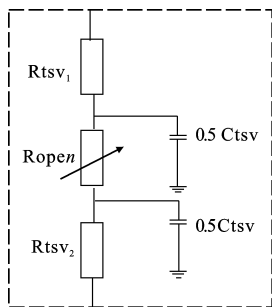


图 1 TSV 开路故障模型

2.2 TSV 延时模型分析

依据传输线理论,自身寄生电阻和电容会造成信号传输过程的延时。TSV 中心导体呈现电阻特性,绝缘层将中心导体与硅衬底隔开形成电容,因此会在传输的过程中造成信号延时。文献[6]中给出了 TSV 在电路中的传输延时等效电路模型,如图 2 所示。

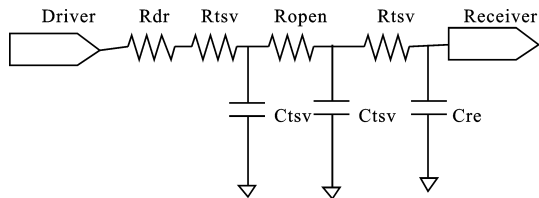


图 2 TSV 延时模型

在电路中使用的是脉冲信号,在驱动端加入信号,通过 TSV 后在接收端接收信号,定义在脉冲 50%—50%处计算传播延时,那么在 TSV 有故障时的延时可以表示为 $D_{open-50\%}$ 。因此利用 Elmore 延时模型可以估算当 TSV 存在故障时等效电路的延时,计算公式如下

$$D_{open-50\%} = 0.69 \times \left(\frac{1}{2} (R_{tsv} + R_{open}) \times C_{tsv} + R_{dr} \times C_{tsv} + (R_{dr} + R_{tsv} + R_{open}) \times C_{re} \right) \quad (1)$$

式中, R_{dr} 是驱动器的电阻; R_{tsv} 是 TSV 的电阻; R_{open} 代表 TSV 的开路故障电阻; C_{tsv} 是 TSV 的电容; C_{re} 是接收器的输入电容。由以上公式可看出在 TSV 上

的延时主要由 R_{dr} , R_{tsv} , R_{open} , C_{tsv} 造成, TSV 自身电阻很小,但 TSV 自身电容却远大于普通的传输线,因此对延时起决定因素的是驱动器的电阻 R_{dr} , TSV 开路电阻 R_{open} 和 TSV 自身的寄生电容 C_{tsv} ,因此在分析延时时应主要考虑驱动器电阻, TSV 开路电阻和 TSV 自身寄生电容。

3 非接触测试方案

3.1 电容耦合结构

电容耦合互连具有高速、低功耗的特性因此在通信中得到了广泛应用。耦合互连模型如图 3 所示,在发送端发送一个全摆幅脉冲信号,通过电容耦合后由于衰减变成一个低摆幅信号,通过接收端的处理后可以低摆幅信号恢复成一个全摆幅信号。电容耦合便是以这种方式来传输信号的,因此可以用在 TSV 的故障测试中。本文所用 TSV 的物理结构是高 50 μm ,半径为 2.5 μm ,二氧化硅厚度为 100 nm,探头半径为 10 μm ,探头与 TSV 之间的缝隙宽为 1 μm 。这样探头和 TSV 就构成了一个平行板电容器。按照平行板电容器电容计算公式^[7](2)可以求得耦合电容。图 4 是 TSV 电容耦合的等效电路,其中 C 是耦合电容,其大小约为 6.18ff。

$$C = C_0 + \Delta C = \frac{\epsilon_0 \pi R^2}{d} + \epsilon_0 R \left[\ln \frac{16\pi R}{d} - 1 \right] \quad (2)$$

式中, C_0 是平行板电容器的电容; ΔC 是边缘效应产生的电容; ϵ_0 是介电常数; R 是圆形平行板的半径; d 是两个极板之间的距离。

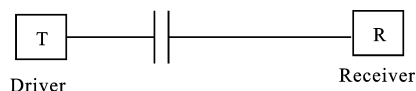


图 3 电容耦合互连

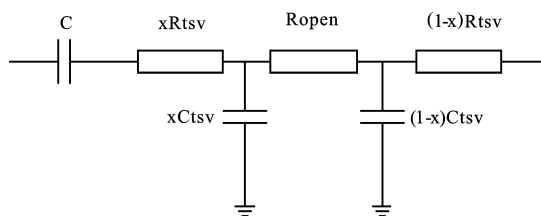


图 4 电容耦合等效电路模型

3.2 测试结构

串联耦合电容会产生一个高通滤波器,而 TSV 的电容也会产生低通效应,从而会产生一个从发送端到接收端的二阶带通响应。当信号从发送端传输到接收端时由于高通和低通滤波的作用会使接收端

接收到的发送端电压在时间变化率 $\frac{dv}{dt}$ 变小,而 $\frac{dv}{dt}$ 的减小意味着接收到的电压幅度的减小,因此测试电路中的接收端应该能够重建测试信号. 在 HSPICE

中利用 PTM 65 nm CMOS 工艺设计出了如图 5 所示的测试电路,这个电路主要包括脉冲信号源,电容耦合结构和接收器.

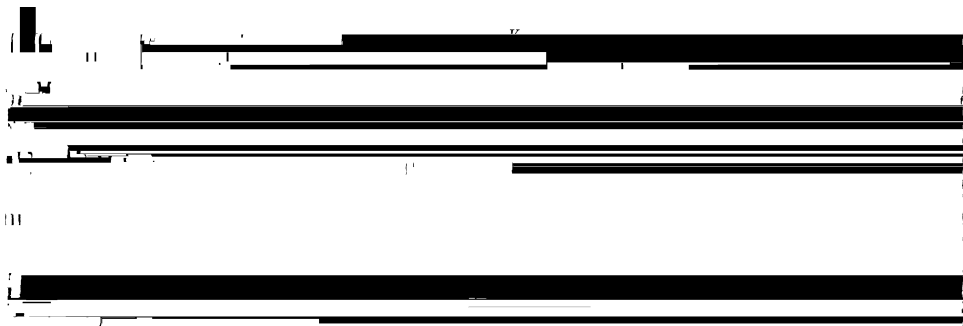


图 5 测试电路

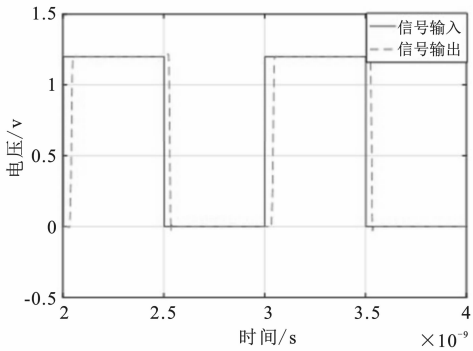
接收电路第一级是一个带有反馈(M1 和 M2)的反相器(M3,M4 和 M5,M6),这两个反相器具有放大作用. 由于耦合电容比较小,所以在接收电路中需要与一个高阻抗点来让信号尽可能不衰减的通过耦合电容. 一般情况下电路中的高阻抗节点需要初始化以确保电路的正常工作,但如果增加初始化电路也相应的增加了电路中的寄生电容,这样会降低电路的灵敏度,因此这里用 M1、M2 构成的反馈结构来达到高阻抗的目的. M1,M2 的栅极和漏级连接可看作一个具有小信号电阻作用的二极管连接器件,其阻抗值约为 $\frac{1}{g_m}$,其中 g_m 是夸导. 这两个二极管都有一个动态的阻抗,当接收电路的输入信号幅值电压低于二极管的阈值电压时,会产生一个很大的输入阻抗. 因此接收电路对小信号就可以保持一个大的输入阻抗,对信号衰减有抑制作用. 利用第三和第四个反相器对恢复的信号进行延时.

使用 1 GHz 的方波测试无故障 TSV,图 6 是电路相关节点的波形图,从图 6a 中可以看出信号能被正确的恢复,并且输入和输出之间有小延时存在,这种延时是系统固有的,如果利用每次测试时的输出信号相比较就可以有效的减小这种固有延时带来的影响.

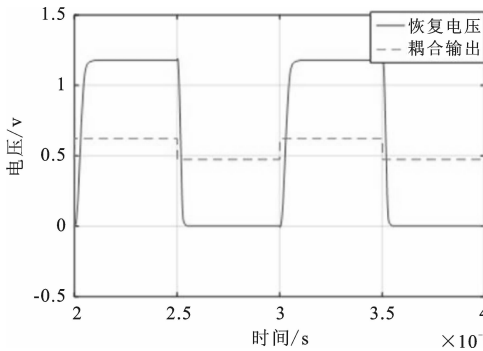
图 7 是无故障 TSV,TSV 故障为 1K,2K 时的输出波形图,从图中可以看出当有故障存在时,信号有明显的延时,并且随着故障的增大,延时越明显.

4 时间统计分析预测故障大小

电路设计时由于电子元件的工艺参数的变化会影响电路的性能,因此我们在 PTM 65 nm CMOS



a 信号源和输出波形



b 耦合输出和恢复信号

图 6 相关节点信号波形

工艺下执行蒙特卡洛分析来验证测试电路有效性. 验证过程中参数服从高斯分布,其中的参数变化模型为: $3v_{th}=30\text{ mv}$, $3L_{eff}=10\%$,其中 v_{th} 和 L_{eff} 分别是 MOS 管的阈值电压和沟道有效长度,验证结果如图 8 所示,从中可以看出 TSV 有故障和无故障时延时区分明显. 延迟变化可以用正态分布来表示,在 TSV 没缺陷的情况下延迟正态分布 D_0 可以表示成 $N(\mu_f,\delta_f)$,TSV 有缺陷的情况下延迟正态

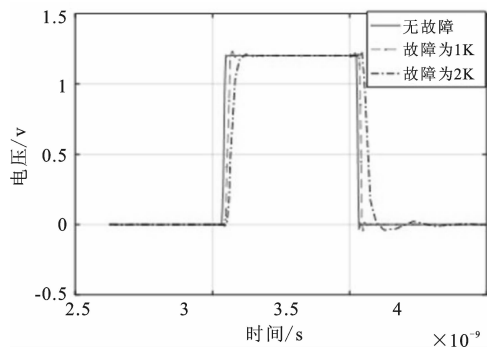


图7 故障延时

分布 D_{def} 可以表示成 $N(\mu_c, \delta_c)$. 在这里我们假设标准方差 δ_f 和 δ_c 相等^[8]. 由于 TSV 的开路可以导致延迟的变化, 所以可以把延迟分布表示成式(3):

$$D_{def} = f(R_0) \quad (3)$$

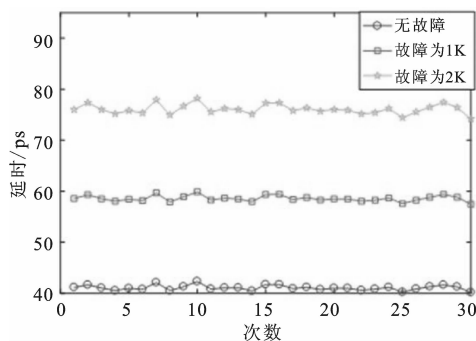


图8 蒙特卡洛分析

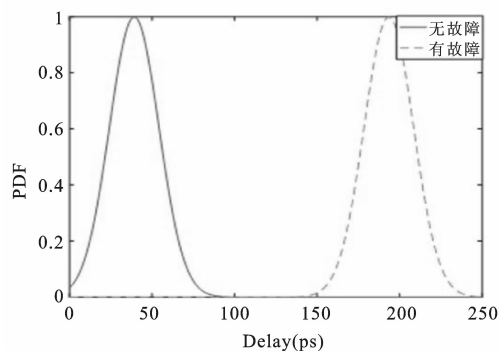
如果 TSV 发生故障时开路电阻值(在此处为 11 k)远大于没有故障时的阻值, 那么这种情况下检测到的两种延迟分布是不相交的, 如图 9 中 a 所示; 如果 TSV 的开路电阻值不是远大于无故障时的电阻值, 那么检测到的两种延迟分布是相交的, 如图 9 中 b 所示. 在图 9 b 中的阴影区域(面积为 AREA)表示认为 TSV 没发生故障, 因此, 检测到 TSV 发生故障的概率为式(4), 相交区域面积可以用互补误差函数^[9]式(5)来计算, 其中 μ_f 和 μ_c 分别是 TSV 无故障和有故障时的期望, δ 是电路的标准方差.

$$P_{def} = 1 - AREA \quad (4)$$

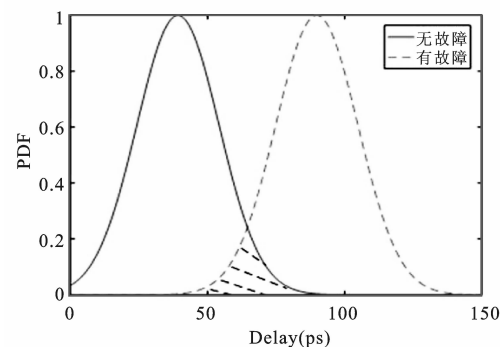
$$AREA = \frac{2}{\sqrt{\pi}} \frac{\exp(-x^2)}{x + \sqrt{x^2 + \frac{4}{\pi}}} \quad (5)$$

$$x = \frac{\mu_c - \mu_f}{2\delta\sqrt{2}} \quad (6)$$

也可以计算开路电阻值在 $[a, b]$ 内的概率, 其中 a 和 b 分别是选取的开路电阻值的最小值 1k 和最大值 11k, 延时和开路电阻值是线性关系^[6], 如图



a 延迟分布不相交



b 延迟分布相交

图9 延迟分布

10 所示. 其中拟合曲线的斜率 m 是 0.015, μ_f 是 44. 因此检测到开路缺陷的概率可以表示成式(8). 用两个随机变量 X 和 Y 的联合概率分布的思想来计算一段开路电阻的概率. X 是待检测的电阻值, Y 是已知的电阻值 R_0 . 用边缘概率密度来计算一段电阻的概率, 边缘概率密度可以用联合概率函数求得. 其中联合概率密度 $f_{X|Y}(x|y)$ 是已知的, 可以利用变量 Y 的概率密度来求得 X 的边缘概率密度, 如式(9)所示. $f_{X|Y}(x|y)$ 是检测到固定电阻值时的概率. 由于变量 Y 代表 R_0 , 因此式(8)可以表示成式(10). 电阻 R_0 的概率密度 $f_Y(y)$ 在小段的电阻值之间时, 可以认为其服从均匀分布^[10], 因此在给定的电阻值范围内某个电阻值发生故障的概率密度可以表示成式(11).

$$\mu_c = mR_0 + \mu_f \quad (7)$$

$$P_{def}(R_0) = 1 - ARER(R_0) \quad (8)$$

$$f_X(x) = f_{X|Y}(x|y)f_Y(y) \quad (9)$$

$$P_{def} = f_{X|Y}(x|y) = 1 - AREA(y) \quad (10)$$

$$f_Y(y) = \frac{1}{b-a} \quad (11)$$

最后可以得出在某段开路电阻范围内的概率为式(12), 画出相对应的概率密度如图(11) 所示. 给

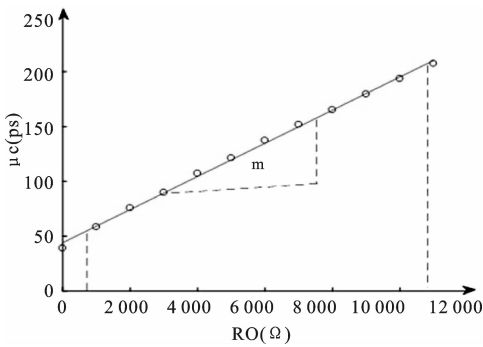


图 10 延时和开路电阻值关系

定一个延时时间可以通过式(13) 计算属于这个时间内相对应的开路电阻,例如当 $t_{def} = 75.71\text{ ps}$ 时,对应的电阻值大约是 $1\,460\Omega \sim 2\,700\Omega$.

$$F_X(x) = \frac{1}{b-a} \int_a^b 1 - \text{AREA}(y) dy \tag{12}$$

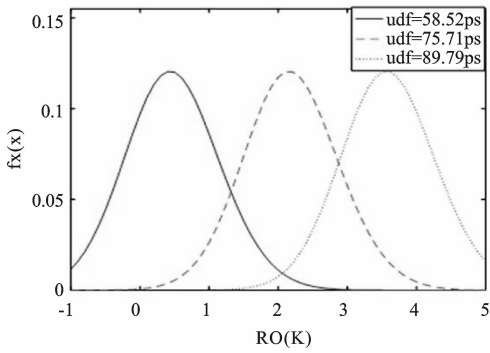


图 11 开路电阻与相应概率密度

5 结束语

本文提出了一种基于电容耦合的非接触测试结构,通过测量延时来判断 TSV 故障,最后根据时间统计分析来预测开路电阻的范围,由于采用的是电容耦合的非接触测试,避免了在测试过程中对 TSV 的二次损害,因此在一定程度上可以减少成本的开销。

参考文献:

[1] Cho M, Liu C, Kim D H, et al. Design method and test structure to characterize and repair TSV defect induced signal degradation in 3D system[C]//Proceedings of the International Conference on Computer-Aided Design. IEEE Press, 2010: 694-697.

[2] Jiang J, Sheng W, Wang Q, et al. A contactless testing methodology for pre-bond interposer[C]//Circuits and Systems (MWSCAS), 2015 IEEE 58th International Midwest Symposium on. IEEE, 2015: 1-4.

[3] Kim J J, Kim H, Kim S, et al. Non-contact wafer-level TSV connectivity test methodology using magnetic coupling[C]//3D Systems Integration Conference (3DIC), 2013 IEEE International. IEEE, 2013: 1-4.

[4] Deutsch S, Chakrabarty K. Contactless pre-bond TSV fault diagnosis using duty-cycle detectors and ring oscillators[C]//Test Conference (ITC), 2015 IEEE International. IEEE, 2015: 1-10.

[5] Katti G, Stucchi M, De Meyer K, et al. Electrical modeling and characterization of through silicon via for three-dimensional ICs[J]. IEEE Transactions on Electron Devices, 2010, 57(1): 256-262.

[6] Ye F, Chakrabarty K. TSV open defects in 3D integrated circuits: Characterization, test, and optimal spare allocation[C]//Proceedings of the 49th Annual Design Automation Conference. ACM, 2012: 1024-1030.

[7] Van Der Meijs N P, Fokkema J T. VLSI circuit reconstruction from mask topology[J]. INTEGRATION, the VLSI journal, 1984, 2(2): 85-119.

[8] Tayade R, Abraham J. Small-delay defect detection in the presence of process variations[J]. Microelectronics Journal, 2008, 39(8): 1093-1100.

[9] Weisstein E W, Erf. From MathWorld-A Wolfram Web Resource[EB/OL]. <http://mathworld.wolfram.com/Erfc.html>.

[10] Monta? és R R, De Gyvez J P, Volf P. Resistance characterization for weak open defects[J]. IEEE Design & Test of Computers, 2002, 19(5): 18-26.

作者简介:

尚玉玲 女,(1977-),博士,硕士研究生导师,副研究员.研究方向为集成电路测试、信号完整性分析。

李伟超(通讯作者) 男,(1989-),硕士研究生.研究方向为信号完整性分析. E-mail:877932637@qq.com.

谈敏 女,(1994-),硕士研究生.研究方向为信号完整性分析。